ГУАП

КАФЕДРА № 44

ОТЧЕТ   
ЗАЩИЩЕН С ОЦЕНКОЙ

ПРЕПОДАВАТЕЛЬ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| доц., канд. техн. наук |  |  |  | В.А. Ненашев |
| должность, уч. степень, звание |  | подпись, дата |  | инициалы, фамилия |

|  |
| --- |
| ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ |
| МАРШРУТ ПРОЕКТИРОВАНИЯ |
| по курсу: СХЕМОТЕХНИКА |
|  |
|  |

РАБОТУ ВЫПОЛНИЛ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| СТУДЕНТ ГР. № | 4941 |  |  |  | Н.С. Горбунов |
|  |  |  | подпись, дата |  | инициалы, фамилия |

Санкт-Петербург 2021

**Цель работы:** в данной лабораторной работе будет рассмотрен полный маршрут проектирования цифровой схемы для программируемой логики интегральных схем (ПЛИС) Lattice в системе автоматизированного проектирования (САПР) Diamond.

**Вариант: 7**

*Таблица 1*

|  |  |
| --- | --- |
| № в списке | Вход, выход, стандарт |
| 7 | A7, D7, LVCMOS15 |

Создал новый проект в САПР Diamond. Назвал согласно заданию «gorbunov\_4941». Выбрал микросхему с такими параметрами:

*Таблица 2*

|  |  |  |
| --- | --- | --- |
| Family | Device | Package type |
| MachXO2 | LCMXO2-7000HC | CABGA332 |

В проекте создал модуль на HDL-языке Verilog

*Листинг 1*

module lab1(

input clock,

input Nikita,

output Gorbunov

);

reg registr;

assign Gorbunov = registr;

always @(posedge clock) begin

registr <= Nikita;

end

endmodule

В тексте модуля используются следующие обозначения:

* Input clock – тактовый сигнал
* input Nikita – входная линия
* output Gorbunov – выходная линия

После ввода текста модуля, провожу его анализ (рис. 1).

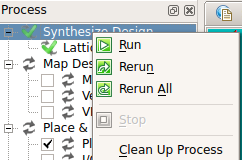


Рисунок 1 – анализ модуля

Для указания привязки входов и выходов проекта и линий ввода-вывода ПЛИС, воспользовался инструментом SpeadheetView. Заполнил параметры согласно варианту. (рис. 2)

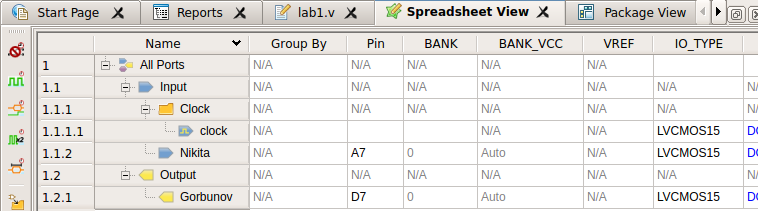


Рисунок 2 – инструмент SpeadheetView

Пункт меню Tools-PackageView (рис. 3) откроет общий вид линий ввода вывода микросхемы ПЛИС выбранной для проекта модели.

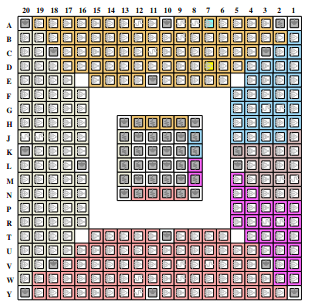


Рисунок 3 – общий вид линий ввода вывода

После заполнения таблицы соответствий линиям проекта и выводов микросхемы ПЛИС, можно сформировать файл конфигурации (прошивки). Для этого в списке Process необходимо выбрать Run у пункта Bitsream File. По завершении процесса, пункт будет отмечен зеленой отметкой (рис. 4)

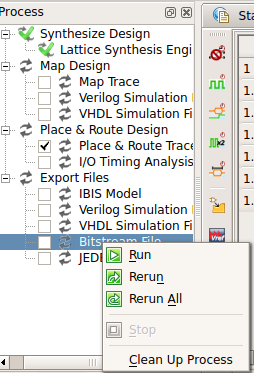


Рисунок 4 – формирование файла конфигурации

Файл конфигурации в каталогах проекта, имеет расширение .bit

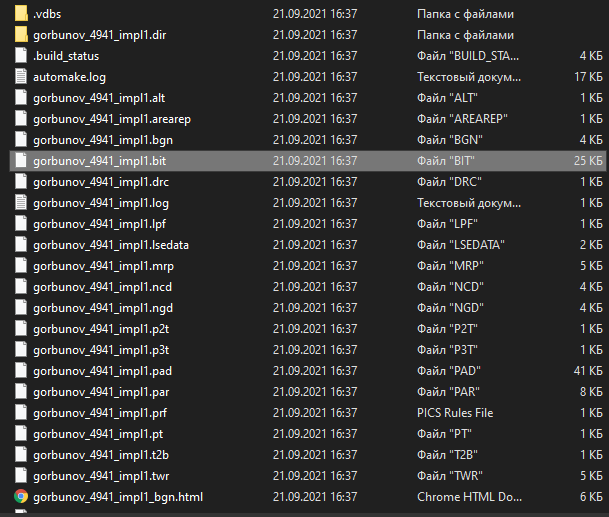


Рисунок 5 – Файл конфигурации

**Вывод:** изучил весь маршрут проектирования схемы для ПЛИС Lattice в САПР DIAMOND.